

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-176692

(43) 公開日 平成7年(1995)7月14日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04  
21/822  
21/762

H 0 1 L 27/ 04

G

21/ 76

D

審査請求 未請求 請求項の数 3 O L (全 3 頁) 最終頁に続く

(21) 出願番号 特願平5-317630

(22) 出願日 平成5年(1993)12月17日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 加藤 敏雄

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

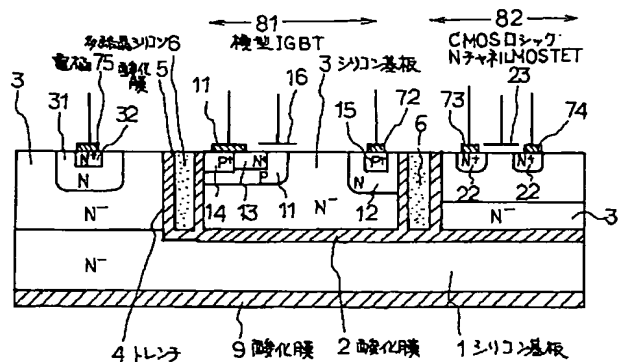
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 完全誘電体分離構造の素子領域に形成された I G B T を高耐圧化する。

【構成】 第一の半導体基板と酸化膜を介して貼り合わされた第二の半導体基板の素子領域と絶縁層分離層を介して隣接して基板と絶縁されない基板と同一導電形の領域を設け、その領域の表面層に形成された高不純物濃度に接触する電極を備える。この電極により、第一の半導体基板に、素子領域内の最低電位より高い電位を与えることができ、素子領域の I G B T を高耐圧化することができる。また、第一基板の裏面を酸化膜で覆うことにより、この半導体装置を搭載する放熱板に電圧がかからないようにする。



## 【特許請求の範囲】

【請求項1】第一導電形の半導体基板上に酸化膜を介して積層された半導体層に、表面から前記酸化膜に達する絶縁分離層に囲まれた素子領域を有するものにおいて、半導体基板上に、素子領域との間には絶縁分離溝を有するが、基板とは絶縁されない同一導電形の半導体層が積層され、その半導体層の表面にオーム性接触する電極が設けられたことを特徴とする半導体装置。

【請求項2】電極が基板上に絶縁されないで積層された半導体層の表面層の高不純物濃度領域に接触する請求項1記載の半導体装置。

【請求項3】半導体基板の裏面が絶縁層で覆われた請求項1あるいは2記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、高耐圧横型半導体素子をSOI誘電体分離技術を用いて絶縁分離する半導体装置に関する。

## 【0002】

【従来の技術】近年、CMOSロジック回路とドライバ素子とを同一チップを作り込むモノリシックパワーICが増えている。そのようなICでは、ドライバ素子の絶縁分離には、優れた分離技術であるSOI誘電体分離技術が使用されている。図2は、ドライバ素子として横型IGBTを有するパワーICの一部を示し、N<sup>-</sup>基板1上に酸化膜2を介して貼り合わせられたN<sup>-</sup>層3は、表面から酸化膜2に達する溝（トレンチ）4を掘り、内面に熱酸化膜5を形成したのち、多結晶シリコン6で埋めることにより複数の素子領域に分離されている。横型IGBT81は、約500μmの幅に分離されたN<sup>-</sup>層3の表面層にPベース領域11とNバッファ領域12を形成し、Pベース領域11の表面層にN<sup>+</sup>ソース領域13、P<sup>+</sup>領域14を、またNバッファ領域12の表面層にP<sup>+</sup>ドレイン領域15をそれぞれ形成する。Pベース領域11のソース領域13とN<sup>-</sup>層3の露出部にはさまれた部分の表面上に絶縁膜を介してゲート16を設け、またN<sup>+</sup>ソース領域13およびP<sup>+</sup>領域14に共通に接触するソース電極71、P<sup>+</sup>ドレイン領域15に接触するドレイン電極72を設けたものである。CMOSロジックのうち図示されているNチャネルMOSFET82は、N<sup>-</sup>層3の表面部に形成されたPウエル21にN<sup>+</sup>ソース・ドレイン領域22を形成し、その間にはさまれた部分の表面上に絶縁膜を介してゲート23を設け、ソース・ドレイン領域22にそれぞれ接触する電極73、74を設けたものである。

【0003】このような誘電体分離半導体装置をさらに高耐圧にするための方法として、特開平4-336446号公報により、基板1を図2のように接地しないで、その電位をその上のN<sup>-</sup>層3の素子領域内の最低電位より高い電位に固定することにより、素子領域の空乏層中の電界分布を変える方法が公知である。図2の横型IGBT素

子に高電圧を印加したとき、耐圧は、ドレイン電極72から、ドリフト領域3、Pベース領域11を経てソース電極71に至る横方向の電界分布と、ドレイン電極72から、ドリフト領域3、中間絶縁層2を経て半導体基板1に至る縦方向の電界で決まる。例えばドレイン電圧の1/2を半導体基板1に印加すれば、ドレイン電極72、半導体基板1間の電圧は従来の半分になる。すなわち電界強度が半減する。この場合、新たにソース電極71と基板1との間にドレイン電圧の1/2の電圧がかかるが、ドレイン電極72、中間絶縁層2間の距離と、ソース電極71、中間絶縁層2間の距離とがほぼ同じであれば、電界強度の絶対値はほぼ同じである。

## 【0004】

【発明が解決しようとする課題】本発明の目的は、上記公開公報で公知の方法を適用して高耐圧化することが容易な誘電体分離の半導体装置を提供することにある。

## 【0005】

【課題を解決するための手段】上記の目的を達成するために、本発明は、一導電形の半導体基板上に酸化膜を介して積層された半導体層に、表面から前記酸化膜に達する絶縁分離溝に囲まれた素子領域を有する半導体装置において、半導体基板上に、素子領域との間には絶縁分離溝を有するが、基板とは絶縁されない同一導電形の半導体層が積層され、その半導体層の表面にオーム性接触する電極が設けられたものとする。電極が基板上に絶縁されないで積層された半導体層の表面層の高不純物濃度領域に接触することが良い。また半導体基板の裏面が絶縁層で覆われたことが有効である。

## 【0006】

【作用】半導体基板上に絶縁されないで積層された同一導電形の半導体層にオーム性接触する電極は、高耐圧化のために基板に電圧を印加するとき使用できる。また、半導体基板の裏面が絶縁層で覆われていれば、基板を金属製の放熱板にダイボンディングで固定しても、放熱板に高電圧がかからないため、この半導体装置の利用が特定化されることがない。

## 【0007】

【実施例】図1は本発明の実施例のパワーICを示し、図2と共通の部分には同一の符号が付されている。このICは次のようにして製造する。まず、N形高抵抗率のシリコン基板1の一面に厚さ2μmの酸化膜を形成したのち、その一部を除去する。このN<sup>-</sup>基板1の酸化膜2の側に厚さ30μm、抵抗率20Ωcmの第二のN<sup>-</sup>シリコン基板3を貼り合わせる。そして、基板3の表面から約3μmの幅のトレンチ4を掘り、内面に熱酸化膜5を形成したのち、多結晶シリコン6を埋めることにより絶縁分離層を形成する。この絶縁分離層と酸化膜2とによって囲まれた幅約500μmの領域に、図2におけるのと同様な構造の横型IGBTを形成し、隣接領域にCMOSロジックを形成する。第二のN<sup>-</sup>基板3のN<sup>-</sup>基板1の酸

3

化膜 2 を除去した部分に貼り合わされた領域には、バッファ領域 12 と同時に N 領域 31、ソース領域 13 およびソース・ドレイン領域 22 と同時に N' 領域 32 を形成しておく。N<sup>-</sup> 基板 1 の裏面は、製造プロセス中に付随的に形成された厚さ 1 μm の熱酸化膜とそのあと CVD 法で形成された酸化膜との複合により生ずる酸化膜 9 で覆われる。この酸化膜 9 が、基板 1 と放熱板との絶縁役をする。第二の基板 3 の表面上には、横型 IGBT のソース電極 71、ドレイン電極 72、ソース・ドレイン電極 73、74 と共に、N' 領域 32 にオーム性接触する電極 75 を設け、またゲート絶縁膜を介してゲート 16、23 を設ける。

【0008】このパワー IC の基板 1 の電位を、電極 75 を介しての電圧印加により、ドレイン電位と同電位にすると、横型 IGBT 81 の耐圧は 260 V であった。図 2 の場合は、横型 IGBT 81 の耐圧は 220 V であり、本発明により耐圧が向上したことがわかる。

【0009】

【発明の効果】本発明は、完全誘電体分離構造の素子領域のほかに、基板と絶縁されない領域を設け、その表面

4

上の電極から素子領域と絶縁された基板に適宜電位を与えることができるようにすることにより、素子領域中の素子の耐圧を向上させることができた。また、基板の裏面を絶縁層で覆うことにより、基板にそのような電位を与えたときに、半導体装置を支持する放熱板に電圧が印加されないようにすることができた。これらにより、より高耐圧のパワー素子を含むパワー IC である半導体装置を得ることが可能になった。

【図面の簡単な説明】

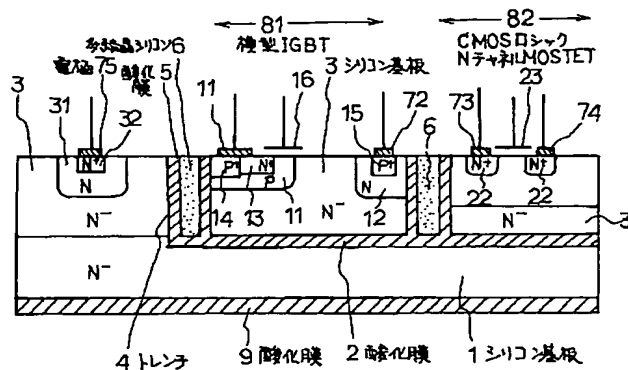
【図 1】本発明の一実施例のパワー IC の断面図

【図 2】従来のパワー IC の断面図

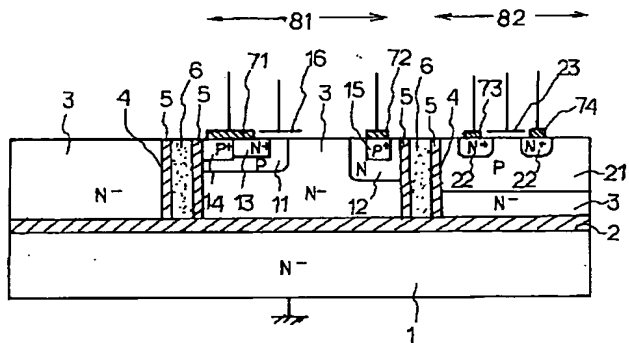
【符号の説明】

- 1、3 N<sup>-</sup> シリコン基板
- 2、5、9 酸化膜
- 4 トレンチ
- 71、72、73、74、75 電極
- 81 横型 IGBT
- 82 CMOS ロジック N チャネル MOSFET

【図 1】



【図 2】



フロントページの続き

(51) Int. Cl.<sup>4</sup>

H 0 1 L 27/12

識別記号

庁内整理番号

F I

技術表示箇所

B

F

// H 0 1 L 29/78

H 0 1 L 29/78

3 2 1 J